

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183426

(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

H01L 23/12  
H01L 21/60

(21)Application number : 06-285124

(71)Applicant : SAMSUNG ELECTRON CO. LTD

(22)Date of filing : 18.11.1994

(72)Inventor : KWON YOUNG SHIN  
AN SUNG-HO

(30)Priority

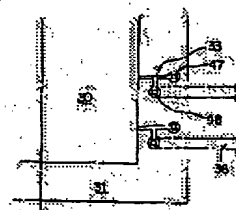
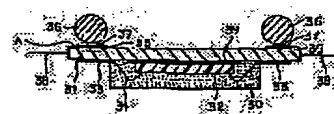
Priority number : 93 9324581 Priority date : 18.11.1993 Priority country : KR

## (54) SEMICONDUCTOR DEVICE AND ITS FABRICATION

### (57)Abstract:

PURPOSE: To enhance reliability while keeping perfect compatibility with a currently utilized mounting process on a main substrate by an arrangement wherein the entire profile of a semiconductor device conform to the regulations of an SOJ package.

CONSTITUTION: After through holes 48 are made in the center at the opposite ends of the upper and lower surfaces of a main substrate 31, a central conductor is removed from the through hole 48 of lower surface to obtain an annular through hole for connecting an external connection terminal, i.e., a lead 38. Copper, nickel and gold are then plated sequentially around the through hole 48 to form a plating layer 35. A land pattern 47, an electrode connection terminal 33 and a ball grid array 35 are then patterned around the plating layer 35 formed on the upper and lower surfaces of the main substrate 31. Subsequently, a semiconductor chip 32 is mounted in the center of the main substrate 31 and connected with a lead 38 by bonding. Finally, brazing balls of specified shape are provided on the ball grid array 35 having the through hole 48 thus producing a BGA package.



## LEGAL STATUS

[Date of request for examination]

04.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2966300

[Date of registration]

13.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The process which forms a through tube in the core at both the tips on the lower front face of the main substrate, and the front face of up, The plating process which plates Copper Cu, Nickel nickel, and Gold Au one by one focusing on said through tube, and forms a plating layer, The patterning process which prepares a land pattern, an electrode connection terminal, and a ball grid array for the principal plane of the plating layer formed in the lower part and the up front face of said main substrate in a fixed pattern configuration, The process which forms the package body after mounting a semiconductor chip in the center of said main substrate through adhesives and carrying out wirebonding to said electrode connection terminal, The manufacture approach of the semiconductor device characterized by having the process which mounts the wax ball of a fixed gestalt in said ball grid array.

[Claim 2] Two or more land patterns containing the through tube and electrode connection terminal which are formed at both the tips on the front face of lower of the main substrate, Two or more ball grid arrays currently formed at both the tips on the front face of up of said main substrate, Two or more wax balls mounted in the ball grid array of said main substrate, The semiconductor device characterized by having the package body by which a semiconductor chip is mounted in the core on the front face of lower of said main substrate through adhesives, wirebonding is carried out to an electrode connection terminal, and molding is carried out by EMC.

[Claim 3] At least one semiconductor chip is carried in the inferior surface of tongue of a printed circuit board. In the semiconductor device to which bonding of between the electrode terminal of said semiconductor chip and the terminal of a printed circuit board is carried out with the wire, and the closure of the connection of a semiconductor chip and a wire is carried out by closure resin Said printed circuit board is mounted conversely and the terminal of this substrate is connected with an external terminal by the through tube. It is the semiconductor device of the three-dimensional structure characterized by carrying out the laminating of said at least one semiconductor device to the top face of said printed circuit board, and for said each semiconductor device connecting between layers through a wax ball, and being mounted on other printed circuit boards by the lead which is an external terminal.

[Claim 4] Printed circuit boards are heat-resistant substrates, such as BT (Bismaleimide triazine) resin and heat-resistant epoxy, and are 0.5 micrometers in a front face. Semiconductor device of the three-dimensional structure according to claim 3 characterized by plating the gold Au of extent.

[Claim 5] The semiconductor device of the three-dimensional structure according to claim 3 with which the terminal area of the printed circuit board to which said wax ball is connected by the vector is characterized by the ring form or the circular thing.

[Claim 6] The semiconductor device of the three-dimensional structure according to claim 3 characterized by making it the vertical side of the printed circuit board connected between layers through said wax ball flow by the through tube.

[Claim 7] The conduction sections and the through tube parts other than the part which the interlayer connection terminal under [ said ] a printed circuit board is connected with the through tube, and is connected with a wax ball are the semiconductor device of the three-dimensional structure according to claim 3 characterized by being respectively applied by the wax resist.

[Claim 8] The lead which is the external terminal of said printed circuit board is the semiconductor device of the three-dimensional structure according to claim 3 characterized by being plated with Copper Cu or an alloy.

[Claim 9] A semiconductor chip is mounted in the core of the main substrate lower front face containing a through tube, an electrode connection terminal, and a land pattern through adhesives. After wirebonding is carried out to an electrode connection terminal, the main package body by which molding is carried out by EMC is mounted in hard flow. The 1st semiconductor chip is mounted through adhesives on said land pattern in the core of the 1st substrate lower front face containing the 1st through tube, the 1st electrode connection terminal, and

the 1st land pattern. After wirebonding is carried out to the 1st electrode connection terminal, the 1st package body by which molding is carried out is mounted in hard flow through the 1st wax ball by EMC. The 2nd semiconductor chip is mounted through adhesives on said 1st land pattern in the core of the 2nd substrate lower front face containing an external lead, the 2nd through tube, the 2nd electrode connection terminal, and a second-land pattern. After wirebonding is carried out to the 2nd electrode connection terminal, the 2nd package body by which molding is carried out is mounted in hard flow through the 2nd wax ball by EMC. The 3rd semiconductor chip is mounted through adhesives on said second-land pattern in the core of the 3rd substrate lower front face containing the 3rd through tube, the 3rd electrode connection terminal, and the 3rd land pattern. The semiconductor device of the three-dimensional structure characterized by mounting the 3rd package body by which molding is carried out in hard flow through the 3rd wax ball by EMC after wirebonding is carried out to the 3rd electrode connection terminal.

[Claim 10] The semiconductor device of the three-dimensional structure according to claim 9 characterized by having bent so that the lead which is said external terminal may have configurations, such as J form or a sea gull aerofoil, for a surface mount.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] About a BGA package (a ball grid array package and Ball Grid Array Package), this invention forms a through tube in the upper part of a semi-conductor substrate, forms a wax ball in the lower part of a semi-conductor substrate in more detail, and relates to the semiconductor device and its manufacture approach for the memory modules in which high density assembly is possible.

[0002]

[Description of the Prior Art] In recent years, high-performance-izing or multi-functionalization is called for by a miniaturization and slimming, and electronic equipment is in the trend as which the mounting approach of various semiconductor devices that the memory apparatus of high capacity can be efficiently mounted in the restricted building envelope is demanded.

[0003] An ASIC & EDA PP.9 -15 and March."OMPAC" (OVER MOLDED PAD ARRAY CARRIER) package can be taken for the example by one approach for solving such a problem. [ of MOTOROLA currently indicated by 1993 ]

[0004] Drawing 8 is drawing of longitudinal section showing one example of the conventional semiconductor device. The sub substrate 11 with which the through tube 15 is formed in spacing with said fixed semiconductor device if drawing 8 is referred to, The conductive contact pad 13 currently formed in the predetermined field on this sub substrate 11, The semiconductor chip 12 mounted by insulating adhesives on said sub substrate 11, The wire 14 which connects electrically the bonding pad and said conductive contact pad 13 of this semiconductor chip 12, The package body 10 which carries out molding of this wire 14 and semiconductor chip 12, and accomplishes them by EMC, It consists of many electrode pads 18 currently formed on the main substrate 17 so that it may correspond with the bump electrode (wax ball) 16 which will be prepared for the lower part of the through tube 15 of said sub substrate 11, and this wax bump electrode 16 and may be mounted.

[0005] After mounting the semiconductor chip 12 on the sub substrate 11 as mentioned above and completing electrical installation with the wires 14, such as a gold streak, transfer molding was performed by closure resin EMC, and after [ which mounted the wax ball 16 like ] corresponding to the lower part of the sub substrate 11 which forms the through tube 15 with said through tube 15, the semiconductor device which consists of structure

which formed the wax bump electrode by reflow soldering is named the ball grid array package (henceforth a BGA package).

[0006] Thus, the formed BGA package is mounted on the main substrate 17, the electrode pad 18 formed in the up front face of the main substrate 17 is electrically connected to a bump's electrode terminal which will be formed with the wax ball 16 by reflow soldering, and the assembly of a semiconductor device is completed.

[0007] Although such a BGA package can reduce the component-side product on the main substrate about 30% compared with QFP (quad flat package) which has the number of the same pins, the BGA package announced till the present cannot escape the criteria of two-dimensional flat-surface mounting (all the connection terminals between the main substrate and a package are located on the same flat surface).

[0008] Moreover, the resin seal section in which said BGA package has protected the semiconductor chip 12 from the external environment by the interface between the package body 10 and the sub substrate 11 is formed only in one side. Since the wax bump 16 currently formed in the lower part of the sub substrate 11 is relatively exposed to the electrode pad 18 of the main substrate 17 with brittle structure, and reflow soldering eclipse \*\*\*\*\*. There is a trouble that the exterior of a package and the property of internal environment are brittler than the existing common package body, and the engine performance falls.

[0009]

[Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention is to offer the semiconductor device which can aim at improvement in dependability, and its manufacture approach while being able to maintain the mounting process on the main substrate used now, and perfect compatibility.

[0010] Moreover, other purposes of this invention are to offer the semiconductor device which can raise mounting effectiveness, and its manufacture approach.

[0011]

[Means for Solving the Problem] In order to attain said purpose, the manufacture approach of the semiconductor device concerning this invention The process which forms a through tube in the core at both the tips on the lower front face of the main substrate, and the front face of up, The plating process which plates Copper Cu, Nickel nickel, and Gold Au one by one focusing on said through tube, and forms a plating layer, The patterning process which prepares a land pattern, an electrode connection terminal, and a ball grid array for the principal plane of the plating layer formed in the lower part and the up front face of said main substrate in a fixed pattern configuration, After mounting a semiconductor chip in the center of said main substrate through adhesives and carrying out wirebonding to said electrode connection terminal, it is characterized by having the process which forms the package body, and the process which mounts the wax ball of a fixed gestalt in said ball grid array.

[0012] Moreover, two or more land patterns containing the through tube and electrode connection terminal with which the semiconductor device concerning this invention is formed at both the tips on the front face of lower of the main substrate, Two or more ball grid arraies currently formed at both the tips on the front face of up of said main substrate, Two or more wax balls mounted in the ball grid array of said main substrate, It is characterized by having the package body by which a semiconductor chip is mounted in the core on the front face of lower of said main substrate through adhesives, wirebonding is carried out to an electrode connection terminal, and molding is carried out by EMC.

[0013] Moreover, it sets to the semiconductor device of the three-dimensional structure concerning this invention. At least one semiconductor chip is carried in the inferior surface of tongue of a printed circuit board. In the semiconductor device to which bonding of between the electrode terminal of said semiconductor chip and the terminal of a printed circuit board is carried out with the wire, and the closure of the connection of a semiconductor chip and a wire is carried out by closure resin Said printed circuit board is mounted conversely and the terminal of this substrate is connected with an external terminal by the through tube. The laminating of said at least one semiconductor device is carried out to the top face of said printed circuit board, and it is characterized by for said each semiconductor device connecting between layers through a wax ball, and mounting it on other printed circuit boards by the lead which is an external terminal.

[0014] Moreover, it sets to the semiconductor device of another three-dimensional structure concerning this invention. A semiconductor chip is mounted in the core of the main substrate lower front face containing a through tube, an electrode connection terminal, and a land pattern through adhesives. After wirebonding is carried out to an electrode connection terminal, the main package body by which molding is carried out by EMC is mounted in hard flow. The 1st semiconductor chip is mounted through adhesives on said land pattern in the core of the 1st substrate lower front face containing the 1st through tube, the 1st electrode connection terminal, and the 1st land pattern. After wirebonding is carried out to the 1st electrode connection terminal, the 1st package

body by which molding is carried out is mounted in hard flow through the 1st wax ball by EMC. The 2nd semiconductor chip is mounted through adhesives on said 1st land pattern in the core of the 2nd substrate lower front face containing an external lead, the 2nd through tube, the 2nd electrode connection terminal, and a second-land pattern. After wirebonding is carried out to the 2nd electrode connection terminal, the 2nd package body by which molding is carried out is mounted in hard flow through the 2nd wax ball by EMC. The 3rd semiconductor chip is mounted through adhesives on said second-land pattern in the core of the 3rd substrate lower front face containing the 3rd through tube, the 3rd electrode connection terminal, and the 3rd land pattern. After wirebonding is carried out to the 3rd electrode connection terminal, it is characterized by mounting the 3rd package body by which molding is carried out in hard flow through the 3rd wax ball by EMC.

[0015]

[Example] Hereafter, with reference to the attached drawing, the example of the semiconductor device by this invention and its manufacture approach is explained to a detail.

[0016] Drawing 1 is drawing of longitudinal section showing one example of the semiconductor device by this invention. As shown in this drawing 1, many land patterns containing a through tube (drawing 2) and the electrode connection terminal 23 are formed at both the tips on the front face of lower of the main substrate 21. Moreover, at the tip near the both sides on the front face of up of the main substrate 21, it adheres to the ball 26 cursed to many ball grid arraies 25. [ many ]

[0017] Moreover, the semiconductor chip 22 is mounted in the core on the front face of lower of said main substrate 21 through adhesives 29, bonding of the bonding pad (not shown) and said electrode connection terminal 23 of this semiconductor chip 22 is carried out with a wire 24, molding is carried out by EMC, and the package body 20 is formed.

[0018] If drawing 2 which is the part plan of drawing 1 is referred to, you can understand the above-mentioned configuration still more clearly. As shown in drawing 2, the land pattern 27 and the through tube 28 are formed along the die-length direction on the main substrate 21. These lands pattern 27 and the through tube 28 are mutually connected by the electrode connection terminal 23 in electrode, and the package body 20 is formed in the edge of the electrode connection terminal 23 along the die-length direction.

[0019] Drawing 3 is drawing of longitudinal section showing the semiconductor device of an example different from the above of the semiconductor device by this invention. As shown in this drawing 3, in this semiconductor device, at least one semiconductor chip 32 is carried in the inferior surface of tongue of the main substrate 31 which can apply a printed circuit board. Bonding of between the bonding pad (not shown) of this semiconductor chip 32 and the electrode connection terminal 33 of the main substrate 31 is carried out with a wire 34, the closure of the connection of these semiconductor chips 32 and a wire 34 is carried out by closure resin, and the package body 30 is formed.

[0020] If drawing 4 which is the part plan of drawing 3 is referred to, you can understand such a configuration still more clearly. As shown in this drawing 4, the land pattern 47 and the through tube 48 are formed along that die-length direction on the main substrate 31. These lands pattern 47 and the through tube 48 are mutually connected electrically by the electrode connection terminal 33, and the lead 38 which serves as an external terminal at a through tube 48 is connected respectively. The package body 30 is formed at the tip of said electrode connection terminal 33 along said die-length direction. At this time, the lead 38 used as the external terminal of said main substrate 31 is plated with copper or an alloy.

[0021] Here, nickel and gold are respectively plated with the thickness of 5 micrometers and 0.5 micrometers by using the copper foil as the base, and the wax Bengbu pad section which serves as a wirebonding pad for connecting a semiconductor chip 32 to the die pad section of the semiconductor chip 32 on the main substrate 31 and the terminal of a package from the wax ball 36 is aiming at improvement in the dependability in the case of wirebonding.

[0022] As especially the ball grid array 35 that adheres to the wax ball 36 is shown in drawing 5 which is the expanded sectional view of A part of drawing 3, on the main substrate 31, it is the plating layer with which copper 42, nickel 43, and gold 44 were plated one by one, and the disk type-like wax ball attachment section 37 is formed in the upper part of this plating layer.

[0023] Here, heat-resistant substrates, such as BT (Bismaleimidetriazine) resin and heat-resistant epoxy, can be used for said main substrate 31.

[0024] Thus, as the semiconductor device constituted is the following in a final process, it can form the three-dimensional structure. That is, it is made the direction and vertical hard flow which show the main substrate 31 to drawing 3, and that terminal is connected with an external terminal by the through tube 48, the laminating of at

least one same semiconductor device is carried out on this main substrate 31 (field), each semiconductor device of each other is connected through the wax ball 36, and it mounts on a printed circuit board with the lead 38 which is an external terminal.

[0025] Drawing 6 (a) and (b) show respectively the upper part and a lower top view before forming the land pattern of said main substrate 31. As shown in this drawing 6 (a), the terminal area 55 is formed in the top face of the main substrate (printed circuit board) 31 in the shape of a disk type by making the wax ball 36 into a vector so that the other main substrates (printed circuit board) can be mounted. Moreover, the through tube 48 of a ring configuration is formed in the inferior surface of tongue of the main substrate 31 at drawing 6 (b) so that it may correspond by the terminal area 55 and one to one of the shape of said disk type, so that it may be shown. The field 53 shown in the center section of the main substrate 31 with the broken line in drawing 6 (b) shows the molding field.

[0026] Moreover, in this configuration, the vertical side of the main substrate 31 flows by the through tube 48, and the interlayer connection terminal (not shown) of main substrate 31 inferior surface of tongue is connected with the through tube 48. As for the conduction sections other than the part connected with the wax ball 36, and the part of a through tube, a wax resist is respectively applied at the following process.

[0027] As an SOJ (Small Out-Line J-Lead) package is the following, it is manufactured according to a series of processes, and it deals in it. The production process is explained referring to drawing 3 thru/or drawing 6.

[0028] First, as shown in drawing 6 (a) and (b), after forming a through tube 48 in the core at both the tips on the lower front face of the main substrate 31, and the front face of up, the through tube 48 on the front face of lower is formed in the shape of [ which removed the conductor of a core ] a ring so that the lead 38 used as an external connection terminal can be connected, and the up front face connected with these through tubes 48 is formed in the shape of a disk type. Thus, in case the land in which forming the through tube 48 on the front face of lower in the shape of a ring contains said through tube 48 mounts a BGA package in a laminating gestalt, it is for making it it become easy to have consistency. Moreover, the land on the front face of up connected with a through tube 48 is formed for making it a melting wax not flow to the opposite side in the shape of a disk type in the case of reflow soldering after mounting the wax ball 36.

[0029] Next, as shown in drawing 5, Copper Cu, Nickel nickel, and Gold Au are plated one by one focusing on said through tube 48 according to a plating process, and a plating layer is formed.

[0030] Next, according to a patterning process, the land pattern 47, the electrode connection terminal 33, and a ball grid array 35 are formed in a fixed pattern configuration, and a wax register is applied to the perimeter of the plating layer formed in the lower part and the up front face of the main substrate 31.

[0031] Next, a semiconductor chip 32 is installed in the die pad section for adhesion of the core 32 of said main substrate 31, i.e., a semiconductor chip, through the conductive adhesives 39, and it is stiffened at the temperature of about 150 degrees C. Then, bonding of the bonding pad of a semiconductor chip 32 and the electrode connection terminal 33 of the main substrate 31 is carried out with the wire 34 using the metal thin line which consists of gold Au, namely, a semiconductor chip 32 and lead 38 are connected. Temperature of the hot plate at the time of this connection is made into about 170 degrees C. Then, molding is performed by EMC and the package body 30 is formed.

[0032] Next, the wax ball 36 of a fixed gestalt is attached to the ball grid array 35 in which the through tube 48 is formed, and manufacture of a BGA package is completed. In addition, the interlayer connection through the wax ball 36 is performed through the land pattern 47.

[0033] Drawing 7 is drawing of longitudinal section showing another example of the semiconductor device by this invention. In this drawing, an example of the SOJ package with which the BGA package as shown in drawing 1 and drawing 3 was mounted with the structure of a three dimension is shown.

[0034] Here, since the configurations of the land pattern of the vertical side of the main substrate differ as mentioned above, as shown in drawing 4, between the terminals of substrate both sides has been connected by the through tube. Moreover, after applying PURAKUSU to the upper part of a land after mold as an inferior surface of tongue is turned to for the main substrate up, and mounting a wax ball on a land, reflow soldering is performed, a bump is formed and what cut each package to the item is used.

[0035] If drawing 7 is referred to, after a semiconductor chip is mounted in the core on the front face of lower of the main substrate 61 which contains a through tube, an electrode connection terminal, and a land pattern first through adhesives and wirebonding of said semiconductor device is carried out to an electrode connection terminal, the main package body 60 by which molding is carried out by EMC is mounted in hard flow.

[0036] Next, after the 1st semiconductor chip is mounted in the core on the front face of lower of the 1st

substrate 71 which contains the 1st through tube, the 1st electrode connection terminal, and the 1st land pattern on said land pattern through adhesives and wirebonding is carried out to the 1st electrode connection terminal, the 1st package body 70 by which molding is carried out is mounted in hard flow through the 1st wax ball 76 by EMC.

[0037] Next, after the 2nd semiconductor chip is mounted in the core of the 2nd substrate 81 lower front face which contains lead 88, the 2nd through tube, the 2nd electrode connection terminal, and a second-land pattern on said 1st land pattern through adhesives and wirebonding is carried out to the 2nd electrode connection terminal, the 2nd package body 80 by which molding is carried out is mounted in hard flow through the 2nd wax ball 86 by EMC.

[0038] Next, after the 3rd semiconductor chip is mounted in the core of the 3rd substrate 91 lower front face which contains the 3rd through tube, the 3rd electrode connection terminal, and the 3rd land pattern on said second-land pattern through adhesives and wirebonding is carried out to the 3rd electrode connection terminal, the 3rd package body 90 by which molding is carried out by EMC is mounted in hard flow through the 3rd wax ball 96, and is formed with the semiconductor device of the three-dimensional structure.

[0039] Therefore, it turns at the semiconductor device of the above three-dimensional structures so that the lead 88 used as an external terminal may present J form (or sea gull profile) for a surface mount, and it is mounted on the main substrate (not shown).

[0040] The appearance of the high-density-assembly package of the above mentioned three-dimensional structure serves as an SOJ package, and the interior is manufactured by carrying out the laminating of the BGA package and performing an interlayer connection.

[0041] That is, after assembling separately the 2nd substrate 81 with lead 88, the main substrate 61 without a lead, and the 1st and 3rd substrate 71 and 91, a top face (side by which mold was carried out) is turned up, PURAKUSU is applied to the land which connects with the wax balls (bump) 76, 86, and 96, and after carrying out a laminating a core [ the 2nd substrate 81 with lead 88 ], between layers is connected by reflow soldering.

[0042] If it applies to a memory apparatus at this time, a common terminal is connected in common, and the terminal constituted separately should just design a signal line so that it may connect with a special signal terminal.

[0043] It is made to mold-harden around 175 degrees C by the resin for the semi-conductor closures centering on the 2nd substrate 81 with lead 88 after reflow soldering for about 5 hours, and all processes will be completed, if cutting and folding are carried out so that it may have a proper lead configuration required for mounting.

[0044]

[Effect of the Invention] As described above, according to the semiconductor device by this invention, and its manufacture approach By doubling the overall appearance of a semiconductor device with the specification of an SOJ (Small Out-Line J-Lead) package There is an advantage which escapes the range of two-dimensional flat-surface mounting of the conventional BGA package, and is applied to the SOJ package in which a three-dimension-surface mount is possible useful, and while the mounting process to the main substrate top applied now and perfect compatibility are maintainable, improvement in dependability of a semiconductor device can be aimed at.

[0045] Moreover, according to the semiconductor device by this invention, and its manufacture approach, by adopting the three-dimension-mounting structure of using for the interior of an SOJ package the BGA package in which a laminating is possible, and performing an interlayer connection, mounting effectiveness can be raised and it is effective in the ability to manufacture the semiconductor device which can be mass-produced by the low price.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is drawing of longitudinal section showing one example of the semiconductor device by this invention.

[Drawing 2] It is the part plan of drawing 1 showing the land pattern, penetration hole, and electrode connection terminal which were formed on the main substrate.

[Drawing 3] It is drawing of longitudinal section showing another example of the semiconductor device by this invention.

[Drawing 4] It is the part plan of drawing 3 showing the land pattern, penetration hole, and electrode connection terminal which were formed on the main substrate.

[Drawing 5] It is the expanded sectional view of A part shown in drawing 3.

[Drawing 6] (a) And (b) is the up top view and lower top view of a semi-conductor substrate which are applied to the semiconductor device by this invention respectively.

[Drawing 7] It is drawing of longitudinal section showing an example different from what was shown in drawing 3 of the semiconductor device by this invention.

[Drawing 8] It is drawing of longitudinal section showing an example of two conventional semiconductor devices.

### [Description of Notations]

20 30 Package body

21, 31, 61 Main substrate

22 32 Semiconductor chip

23 33 Electrode connection terminal

24 34 Wire

25 35 Ball grid array

26, 36, 76, 86, 96 Wax ball

27 47 Land pattern

28 48 Through tube

29 39 Adhesives

37 Wax Ball Attachment Section

38 88 Lead

42 Copper

43 Nickel

44 Gold

60 The Main Package Body

70 1st Package Body

71 1st Substrate

80 2nd Package Body

81 2nd Substrate

90 3rd Package Body

91 3rd Substrate

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183426

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

21/60

識別記号

序内整理番号

3 0 1 A

F I

技術表示箇所

H 0 1 L 23/ 12

L

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平6-285124

(22) 出願日 平成6年(1994)11月18日

(31) 優先権主張番号 1 9 9 3 - 2 4 5 8 1

(32) 優先日 1993年11月18日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 權 寧 信

大韓民国仁川直轄市南洞区萬壽4洞住公ア

パートメント202-1303

(72) 発明者 安 昇 皓

大韓民国京畿道水原市長安区亭子洞東信ア

パートメント210-406

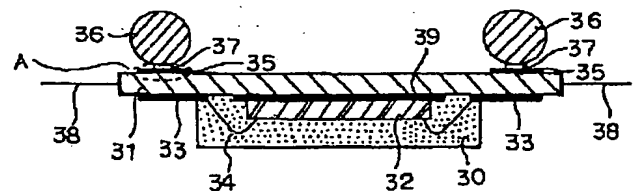
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 現在利用できる主基板上の実装工程と完全な互換性を維持できるとともに信頼性の向上を図ることができ、また、実装効率を向上させることができる半導体装置及びを提供すること。

【構成】 主基板31の下部表面と上部表面の両先端の中心部に貫通孔48を形成する工程と、貫通孔を中心に銅42、ニッケル43及び金44を順次に鍍金して鍍金層35を形成する鍍金工程と、前記主基板31の下部及び上部表面に形成された鍍金層の主面にランドパターン47、電極接続端子33及びボールグリッドアレイ35を一定のパターン形状で準備するパターンニング工程と、前記主基板の中央に接着剤を媒介として半導体チップ32を実装し、前記電極接続端子33とワイヤボンディングした後、パッケージボディを形成する工程と、前記ボールグリッドアレイ35に一定な形態のろうボール36を実装する工程とを備える。



(2)

## 【特許請求の範囲】

【請求項 1】 主基板の下部表面及び上部表面の両先端の中心部に貫通孔を形成する工程と、  
前記貫通孔を中心に銅 Cu、ニッケル Ni 及び金 Au を順次に鍍金して鍍金層を形成する鍍金工程と、  
前記主基板の下部及び上部表面に形成された鍍金層の主面にランドパターン、電極接続端子及びボールグリッドアレイを一定のパターン形状で準備するパターンニング工程と、  
前記主基板の中央に接着剤を媒介として半導体チップを実装し、前記電極接続端子とワイヤボンディングした後、パッケージボディを形成する工程と、  
前記ボールグリッドアレイに一定の形態のろうボールを実装する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】 主基板の下部表面の両先端に形成されている貫通孔及び電極接続端子を含む複数のランドパターンと、  
前記主基板の上部表面の両先端に形成されている複数のボールグリッドアレイと、  
前記主基板のボールグリッドアレイに実装されている複数のろうボールと、  
前記主基板の下部表面の中心部に接着剤を媒介として半導体チップが実装され、電極接続端子とワイヤボンディングされ、EMC でモールドイングされているパッケージボディとを備えることを特徴とする半導体装置。

【請求項 3】 印刷回路基板の下面に少なくとも一つの半導体チップが搭載されており、前記半導体チップの電極端子と印刷回路基板の端子間がワイヤでボンディングされており、半導体チップ及びワイヤの接続部が封止樹脂で封止されている半導体装置において、  
前記印刷回路基板は逆に実装され、この基板の端子は貫通孔により外部端子と接続され、前記印刷回路基板の上面に少なくとも一つの前記半導体装置が積層されており、  
前記各半導体装置はろうボールを媒介として層間を接続して外部端子であるリードによりその他の印刷回路基板上に実装されることを特徴とする 3 次元構造の半導体装置。

【請求項 4】 印刷回路基板は、BT (Bismaleimide triazine) 樹脂、耐熱エポキシなどの耐熱性基板であり、表面には 0.5 μm 程度の金 Au が鍍金されていることを特徴とする請求項 3 記載の 3 次元構造の半導体装置。

【請求項 5】 前記ろうボールを媒介体で接続されている印刷回路基板の端子部がリング形または円形であることを特徴とする請求項 3 記載の 3 次元構造の半導体装置。

【請求項 6】 前記ろうボールを媒介として層間に接続される印刷回路基板の上下面が貫通孔により導通されるようにすることを特徴とする請求項 3 記載の 3 次元構造

の半導体装置。

【請求項 7】 前記印刷回路基板下面の層間接続端子は貫通孔と接続されており、ろうボールで接続される部分以外の伝導部及び貫通孔部分は各々ろうレジストで塗布されていることを特徴とする請求項 3 記載の 3 次元構造の半導体装置。

【請求項 8】 前記印刷回路基板の外部端子であるリードは、銅 Cu または合金で鍍金されていることを特徴とする請求項 3 記載の 3 次元構造の半導体装置。

【請求項 9】 貫通孔、電極接続端子及びランドパターンを含む主基板下部表面の中心部に接着剤を媒介として半導体チップが実装され、電極接続端子とワイヤボンディングされた後、EMC でモールドイングされている主パッケージボディが逆方向に実装されており、  
前記ランドパターン上に第 1 貫通孔、第 1 電極接続端子及び第 1 ランドパターンを含む第 1 基板下部表面の中心部に接着剤を媒介として第 1 半導体チップが実装され、第 1 電極接続端子とワイヤボンディングされた後、EMC でモールドイングされている第 1 パッケージボディが第 1 ろうボールを媒介として逆方向に実装されており、  
前記第 1 ランドパターン上に外部リード、第 2 貫通孔、第 2 電極接続端子及び第 2 ランドパターンを含む第 2 基板下部表面の中心部に接着剤を媒介として第 2 半導体チップが実装され、第 2 電極接続端子とワイヤボンディングされた後、EMC でモールドイングされている第 2 パッケージボディが第 2 ろうボールを媒介として逆方向に実装されており、  
前記第 2 ランドパターン上に第 3 貫通孔、第 3 電極接続端子及び第 3 ランドパターンを含む第 3 基板下部表面の中心部に接着剤を媒介として第 3 半導体チップが実装され、第 3 電極接続端子とワイヤボンディングされた後、EMC でモールドイングされている第 3 パッケージボディが第 3 ろうボールを媒介として逆方向に実装されていることを特徴とする 3 次元構造の半導体装置。

【請求項 10】 前記外部端子であるリードが表面実装のために、J 形またはカモメ翼などの形状を持つように曲がっていることを特徴とする請求項 9 記載の 3 次元構造の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、BGA パッケージ (ボールグリッドアレイパッケージ、Ball Grid Array Package) に関し、さらに詳しくは半導体基板の上部に貫通孔を形成し、半導体基板の下部にろうボールを形成して高密度実装が可能なメモリモジュール用の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、電子機器は、小型化及びスリム化により高性能化または多機能化が求められており、制限された内部空間に高容量のメモリ装置を効率的に実装す

(3)

3

ることができる多様な半導体装置の実装方法が要求されている趨勢にある。

【0003】このような問題を解決するための一つの方法でASIC & EDA PP.9 ~15, March. 1993に開示されているMOTOROLA社の“OMPAC (OVER MOLDED PAD ARRAY CARRIER)”パッケージをその例にとることができる。

【0004】図8は、従来の半導体装置の一実施例を示す縦断面図である。図8を参照すれば、前記半導体装置は一定の間隔に貫通孔15が形成されているサブ基板11と、このサブ基板11上の所定の領域に形成されている伝導性接触パッド13と、前記サブ基板11上に絶縁性接着剤により実装されている半導体チップ12と、この半導体チップ12のボンディングパッドと前記伝導性接触パッド13とを電気的に接続するワイヤ14と、このワイヤ14及び半導体チップ12をEMCでモールドイングして成されるパッケージボディ10と、前記サブ基板11の貫通孔15の下部に準備されたるろうバンパ電極(ろうボール)16と、このろうバンパ電極16と対応されて実装されるように主基板17上に形成されている多数個の電極パッド18とから構成されている。

【0005】上記のように半導体チップ12をサブ基板11上に実装し、金線などのワイヤ14で電気的接続を完了した後、封止樹脂EMCでトランスファーモールドイングを施し、貫通孔15を形成しているサブ基板11の下部に前記貫通孔15と対応されるようにろうボール16を実装した後、リフローはんだ付けによりろうバンパ電極を形成した構造からなる半導体装置をボールグリッドアレイパッケージ(以下、BGAパッケージという)と名付けている。

【0006】このように形成されたBGAパッケージを主基板17上に実装し、ろうボール16で形成されたるバンパの電極端子と主基板17の上部表面に形成された電極パッド18をリフローはんだ付けにより電気的に接続させて半導体装置の組み立てを完了する。

【0007】このようなBGAパッケージは、同一なピン数を有するQFP(クワッドフラットパッケージ)に比べて主基板上の実装面積を約30%程度節減できるが、現在まで発表されたBGAパッケージは2次元の平面実装(主基板とパッケージ間の接続端子がすべて同一平面上に位置する)の範疇を逃れることができない。

【0008】また、前記BGAパッケージは、パッケージボディ10とサブ基板11との間の界面で半導体チップ12を外部の環境から保護している樹脂封止部が一方にのみ形成されており、サブ基板11の下部に形成されているろうバンパ16は相対的に構造が脆弱な主基板17の電極パッド18とリフローはんだ付けられて外部環境に露出されているため、パッケージの外部及び内部環境の特性が既存の一般的なパッケージボディより脆弱でその性能が低下されるという問題点がある。

【0009】

4

【発明が解決しようとする課題】従って、この発明の目的は、現在利用されている主基板上の実装工程と完全な互換性を維持できると共に信頼性の向上を図ることができる半導体装置及びその製造方法を提供することにある。

【0010】また、この発明の他の目的は、実装効率を向上させることができる半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置の製造方法は、主基板の下部表面及び上部表面の両先端の中心部に貫通孔を形成する工程と、前記貫通孔を中心に銅Cu、ニッケルNi及び金Auを順次に鍍金して鍍金層を形成する鍍金工程と、前記主基板の下部及び上部表面に形成された鍍金層の主面にランドパターン、電極接続端子及びボールグリッドアレイを一定のパターン形状で準備するパターンニング工程と、前記主基板の中央に接着剤を媒介として半導体チップを実装し、前記電極接続端子とワイヤボンディングした後、パッケージボディを形成する工程と、前記ボールグリッドアレイに一定の形態のろうボールを実装する工程とを備えることを特徴とする。

【0012】また、この発明に係る半導体装置は、主基板の下部表面の両先端に形成されている貫通孔及び電極接続端子を含む複数個のランドパターンと、前記主基板の上部表面の両先端に形成されている複数個のボールグリッドアレイと、前記主基板のボールグリッドアレイに実装されている複数個のろうボールと、前記主基板の下部表面の中心部に接着剤を媒介として半導体チップが実装され、電極接続端子とワイヤボンディングされ、EMCでモールドイングされているパッケージボディとを備えることを特徴とする。

【0013】また、この発明に係る3次元構造の半導体装置においては、印刷回路基板の下面に少なくとも一つの半導体チップが搭載されており、前記半導体チップの電極端子と印刷回路基板の端子間がワイヤでボンディングされており、半導体チップ及びワイヤの接続部が封止樹脂で封止されている半導体装置において、前記印刷回路基板は逆に実装され、この基板の端子は貫通孔により外部端子と接続され、前記印刷回路基板の上面に少なくとも一つの前記半導体装置が積層されており、前記各半導体装置はろうボールを媒介として層間を接続して外部端子であるリードによりその他の印刷回路基板上に実装されることを特徴とする。

【0014】また、この発明に係る別の3次元構造の半導体装置においては、貫通孔、電極接続端子及びランドパターンを含む主基板下部表面の中心部に接着剤を媒介として半導体チップが実装され、電極接続端子とワイヤボンディングされた後、EMCでモールドイングされて、

いる主パッケージボディが逆方向に実装されており、前

(4)

5

記ランドパターン上に第1貫通孔、第1電極接続端子及び第1ランドパターンを含む第1基板下部表面の中心部に接着剤を媒介として第1半導体チップが実装され、第1電極接続端子とワイヤボンディングされた後、EMCでモールドイングされている第1パッケージボディが第1ろうボールを媒介として逆方向に実装されており、前記第1ランドパターン上に外部リード、第2貫通孔、第2電極接続端子及び第2ランドパターンを含む第2基板下部表面の中心部に接着剤を媒介として第2半導体チップが実装され、第2電極接続端子とワイヤボンディングされた後、EMCでモールドイングされている第2パッケージボディが第2ろうボールを媒介として逆方向に実装されており、前記第2ランドパターン上に第3貫通孔、第3電極接続端子及び第3ランドパターンを含む第3基板下部表面の中心部に接着剤を媒介として第3半導体チップが実装され、第3電極接続端子とワイヤボンディングされた後、EMCでモールドイングされている第3パッケージボディが第3ろうボールを媒介として逆方向に実装されていることを特徴とする。

【0015】

【実施例】以下、添付した図面を参照してこの発明による半導体装置及びその製造方法の実施例を詳細に説明する。

【0016】図1は、この発明による半導体装置の一実施例を示す縦断面図である。この図1に示すように、主基板21の下部表面の両先端に、貫通孔(図2)及び電極接続端子23を含む多数個のランドパターンが形成されている。また、主基板21の上部表面の両側近傍先端には、多数個のボールグリッドアレイ25に多数個のろうボール26が付着されている。

【0017】また、前記主基板21の下部表面の中心部には接着剤29を媒介として半導体チップ22が実装されており、この半導体チップ22のボンディングパッド(図示せず)と前記電極接続端子23とがワイヤ24でボンディングされ、EMCでモールドイングされてパッケージボディ20が形成されている。

【0018】上記構成は、図1の部分平面図である図2を参照すれば、さらに明確に理解できよう。図2に示すように、主基板21上にその長さ方向に沿ってランドパターン27及び貫通孔28が形成されている。これらランドパターン27及び貫通孔28は電極接続端子23により互いに電極的に接続されており、電極接続端子23の端部には、その長さ方向に沿ってパッケージボディ20が設けられている。

【0019】図3は、この発明による半導体装置の上記と別の実施例の半導体装置を示す縦断面図である。この図3に示すように、この半導体装置においては、印刷回路基板を適用できる主基板31の下面に少なくとも一つの半導体チップ32が搭載されている。この半導体チップ32のボンディングパッド(図示せず)と主基板31

6

の電極接続端子33との間はワイヤ34でボンディングされ、これら半導体チップ32とワイヤ34との接続部は封止樹脂で封止されてパッケージボディ30が形成されている。

【0020】このような構成は、図3の部分平面図である図4を参照すればさらに明確に理解できよう。この図4に示すように、主基板31上にその長さ方向に沿ってランドパターン47及び貫通孔48が形成されている。これらランドパターン47及び貫通孔48は電極接続端子33により互いに電極的に接続されており、貫通孔48に外部端子となるリード38が各々接続されている。前記電極接続端子33の先端には、前記長さ方向に沿ってパッケージボディ30が設けられている。このとき、前記主基板31の外部端子となるリード38は、銅または合金で鍍金されている。

【0021】ここで、主基板31上の半導体チップ32のダイパッド部と、パッケージの端子に半導体チップ32を接続するためのワイヤボンディングパッドと、ろうボール36よりなるろうパンプパッド部とは、銅ホイルをベースとして、ニッケル及び金が各々5 $\mu$ m及び0.5 $\mu$ mの厚さで鍍金されており、ワイヤボンディングの際の信頼性の向上を図っている。

【0022】特に、ろうボール36が付着されるボールグリッドアレイ35は、図3のA部分の拡大断面図である図5に示すように、主基板31上に銅42、ニッケル43及び金44が順次に鍍金された鍍金層となっており、この鍍金層の上部に円板形状のろうボール付設部37が設けられている。

【0023】ここで、前記主基板31は、BT(Bismaleimide triazine)樹脂、耐熱エポキシなどの耐熱性基板を用いることができる。

【0024】このように構成される半導体装置は、最終工程において以下のようにして3次元構造を形成することができる。すなわち、主基板31を図3に示す方向と上下逆方向にしてその端子を貫通孔48により外部端子と接続し、この主基板31の上(面)に少なくとも一つの同様な半導体装置を積層し、各々の半導体装置をろうボール36を媒介に互いに接続し、外部端子であるリード38により印刷回路基板上に実装する。

【0025】図6(a)、(b)は、前記主基板31のランドパターンが形成される以前の上部及び下部平面図を各々示している。この図6(a)に示すように、主基板(印刷回路基板)31の上面には、ろうボール36を媒介体としてその他の主基板(印刷回路基板)が実装できるように端子部55が円板形状に設けられている。また、図6(b)に示すように、主基板31の下面には、前記円板形状の端子部55と一対一に対応するようにリング形状の貫通孔48が設けられている。図6(b)において主基板31の中央部に破線で示した領域53は、モールドイング領域を示している。

(5)

【0026】また、この構成において、主基板31の上下面が貫通孔48により導通され、主基板31下面の層間接続端子（図示せず）は貫通孔48と接続されている。ろうボール36で接続される部分以外の伝導部及び貫通孔の部分は、次の工程で各々ろうレジストが塗布される。

【0027】SOJ（Small Out-Line J-Lead）パッケージは、以下のようにして一連の工程により製造される。その製造工程を図3乃至図6を参照しながら説明する。

【0028】まず、図6（a）、（b）に示すように、主基板31の下部表面と上部表面の両先端の中心部に貫通孔48を形成した後、外部接続端子となるリード38が接続できるように下部表面の貫通孔48を中心部の導体を除去したリング状に形成し、これらの貫通孔48と接続される上部表面は円板形状に形成する。このように下部表面の貫通孔48をリング状に形成するのは、前記貫通孔48を含むランド部が、BGAパッケージを積層形態に実装する際に整合が容易となるようにするためである。また、貫通孔48と接続される上部表面のランド部を円板形状に形成するのは、ろうボール36をマウントした後のリフローはんだ付けの際、熔融ろうが反対側へ流れないようにするためである。

【0029】次に、図5に示すように、鍍金工程により前記貫通孔48を中心に銅Cu、ニッケルNi及び金Auを順次に鍍金して鍍金層を形成する。

【0030】次に、パターンニング工程により、主基板31の下部及び上部表面に形成された鍍金層の周囲に、ランドパターン47、電極接続端子33及びボールグリッドアレイ35を一定のパターン形状に形成し、ろうレジスタを塗布する。

【0031】次に、前記主基板31の中心部、すなわち半導体チップ32の接着のためのダイパッド部に、導電性の接着剤39を媒介として半導体チップ32を設置し、150℃程度の温度で硬化させる。この後、半導体チップ32のボンディングパッドと主基板31の電極接続端子33とを、金Auからなる金属細線を用いたワイヤ34でボンディングし、すなわち、半導体チップ32とリード38とを接続する。この接続時の加熱板の温度は170℃程度とする。その後、EMCでモールドングを施し、パッケージボディ30を形成する。

【0032】次に、貫通孔48が形成されているボールグリッドアレイ35に一定の形態のろうボール36を付設し、BGAパッケージの製造を完了する。なお、ろうボール36を介した層間接続はランドパターン47を介して行われる。

【0033】図7は、この発明による半導体装置の別の実施例を示す縦断面図である。この図面においては、図1及び図3に示すようなBGAパッケージが3次元の構造で実装されたSOJパッケージの一例を示している。

8

【0034】ここで、上述したように主基板の上下面のランドパターンの形状が異なるため、図4に示すように貫通孔で基板両面の端子間を接続している。また、モールド後、主基板を下面を上方向に向くようにしてブラックスをランド部の上部に塗布し、ろうボールをランド部上にマウントした後、リフローはんだ付けを行ってバンプを形成し、各々のパッケージを単品に切断したものを使う。

【0035】図7を参照すれば、前記半導体装置は、先ず貫通孔、電極接続端子及びランドパターンを含む主基板61の下部表面の中心部に接着剤を媒介として半導体チップが実装され、電極接続端子とワイヤボンディングされた後、EMCでモールドングされている主パッケージボディ60が逆方向に実装される。

【0036】次に、前記ランドパターン上に第1貫通孔、第1電極接続端子及び第1ランドパターンを含む第1基板71の下部表面の中心部に接着剤を媒介として第1半導体チップが実装され、第1電極接続端子とワイヤボンディングされた後、EMCでモールドングされている第1パッケージボディ70が第1ろうボール76を媒介として逆方向に実装される。

【0037】次に、前記第1ランドパターン上にリード88、第2貫通孔、第2電極接続端子及び第2ランドパターンを含む第2基板81下部表面の中心部に接着剤を媒介として第2半導体チップが実装され、第2電極接続端子とワイヤボンディングされた後、EMCでモールドングされている第2パッケージボディ80が第2ろうボール86を媒介として逆方向に実装される。

【0038】次に、前記第2ランドパターン上に第3貫通孔、第3電極接続端子及び第3ランドパターンを含む第3基板91下部表面の中心部に接着剤を媒介として第3半導体チップが実装され、第3電極接続端子とワイヤボンディングされた後、EMCでモールドングされている第3パッケージボディ90が第3ろうボール96を媒介として逆方向に実装されて3次元構造の半導体装置で形成される。

【0039】従って、上記のような3次元構造の半導体装置は外部端子となるリード88が表面実装のためにJ形（またはカモメ翼形）を呈するように曲がって主基板（図示せず）上に実装される。

【0040】前記した3次元構造の高密度実装パッケージの外形は、SOJパッケージとなり、その内部はBGAパッケージを積層して層間接続を行うことにより製造される。

【0041】すなわち、リード88のある第2基板81とリードのない主基板61及び第1、第3基板71、91を別途に組み立てた後、上面（モールドされた側）を上にし、ろうボール（バンプ）76、86、96で接続するランド部にブラックスを塗布し、リード88がある第2基板81を中心に積層した後、リフローはんだ付けで

(6)

9

層間を接続する。

【0042】このとき、メモリ装置に適用すれば、共通端子は共通に接続させ、別途に構成される端子は別途の信号端子で接続されるように信号線を設計すればよい。

【0043】リフローはんだ付けの後、リード88のある第2基板81を中心に半導体封止用樹脂でモールドし、175℃前後で5時間程度硬化させ、実装に必要な適宜なリード形状を持つように切断及び折曲加工をすれば、すべての工程が完了される。

【0044】

【発明の効果】前記したごとく、この発明による半導体装置及びその製造方法によれば、半導体装置の全体的な外形をSOJ (Small Out-Line J-Lead) パッケージの規格に合わせることで、従来のBGAパッケージの2次元的平面実装の範囲を逃れて3次元的表面実装が可能なSOJパッケージに有用に適用される利点があり、現在適用されている主基板上への実装工程と完全な互換性を維持できるとともに、半導体装置の信頼性向上を図ることができる。

【0045】また、この発明による半導体装置及びその製造方法によれば、SOJパッケージの内部に積層が可能なBGAパッケージを用いて層間接続を行う3次元的実装構造を採用することにより、実装効率を向上させることができ、低価格で大量生産が可能な半導体装置が製造できる効果がある。

【図面の簡単な説明】

【図1】この発明による半導体装置の一実施例を示す縦断面図である。

【図2】主基板上に形成されたランドパターン、貫通ホール及び電極接続端子を示す図1の部分平面図である。

【図3】この発明による半導体装置の別の実施例を示す縦断面図である。

【図4】主基板上に形成されたランドパターン、貫通ホ

10

ール及び電極接続端子を示す図3の部分平面図である。

【図5】図3に示したA部分の拡大断面図である。

【図6】(a)及び(b)は各々、この発明による半導体装置に適用される半導体基板の上部平面図及び下部平面図である。

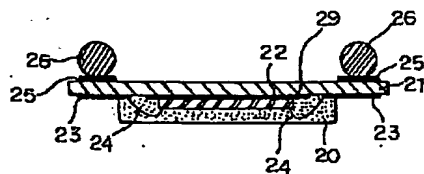
【図7】この発明による半導体装置の図3に示したものと別の実施例を示す縦断面図である。

【図8】従来の2半導体装置の一例を示す縦断面図である。

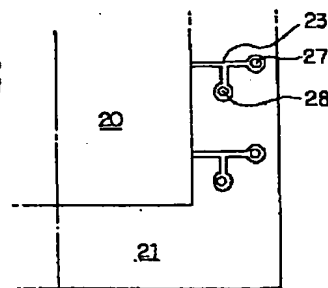
10 【符号の説明】

- 20, 30 パッケージボディ
- 21, 31, 61 主基板
- 22, 32 半導体チップ
- 23, 33 電極接続端子
- 24, 34 ワイヤ
- 25, 35 ボールグリッドアレイ
- 26, 36, 76, 86, 96 ろうボール
- 27, 47 ランドパターン
- 28, 48 貫通孔
- 29, 39 接着剤
- 37 ろうボール付設部
- 38, 88 リード
- 42 銅
- 43 ニッケル
- 44 金
- 60 主パッケージボディ
- 70 第1パッケージボディ
- 71 第1基板
- 80 第2パッケージボディ
- 81 第2基板
- 90 第3パッケージボディ
- 91 第3基板

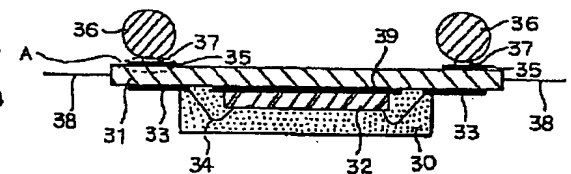
【図1】



【図2】

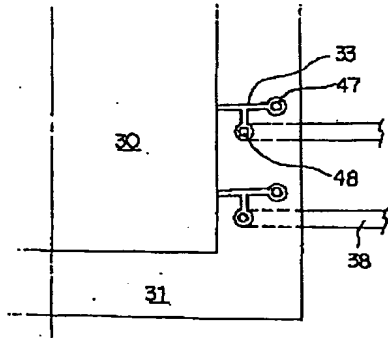


【図3】

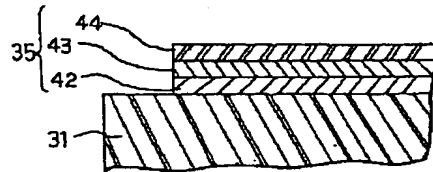


(7)

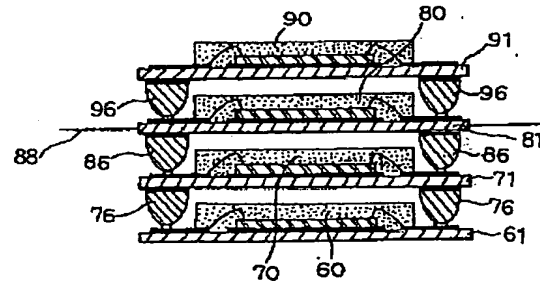
【図4】



【図5】

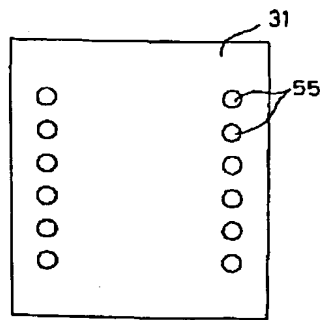


【図7】

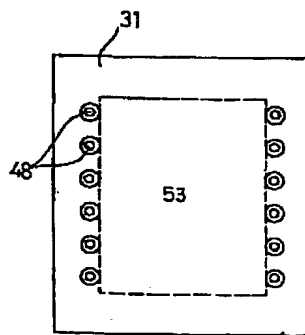


【図6】

(a)



(b)



【図8】

